Министерство науки и высшего образования
Российской Федерации
Министерство науки, высшего образования и инноваций Кыргызской Республики

Межгосударственная образовательная организация высшего образования Кыргызско - Российский Славянский университет имени первого Президента Российской Федерации Б.Н. Ельцина

Естественно-технический факультет

Кафедра Информационных и вычислительных технологий

Фонд оценочных средств

по дисциплине «**Проектирование цифровых систем на базе FPGA**»

Уровень высшего образования

МАГИСТРАТУРА

Направление подготовки

09.04.04 - РФ, 710400 - КР Программная инженерия

(код и наименование направления подготовки)

Разработка программно-информационных систем

(профиля) образовательной программы)

Квалификация

магистр

2025

Фонд оценочных средств предназначен для контроля знаний обучающихся по направлению подготовки 09.04.04 – РФ, 710400 – КР «Программная инженерия» по дисциплине « Проектирование цифровых систем на базе FPGA».

Фонд оценочных средств рассмотрен и утвержден на заседании кафедры Информационных и вычислительных технологий протокол № 1 от 03.09.2025 г.

Заведующий кафедрой
д.т.н., проф. Лыченко Н.М.

Исполнители (разработчики):
К.т.н., доцент каф. ИВТ Осмонов М.С.
Ст. преп. Каф. ИВТ Беляев А.А.

СОГЛАСОВАНО:
И.о. декана ЕТФ Комарцов Н.М.

Раздел 1. Перечень компетенций, с указанием этапов их формирования в процессе освоения дисциплины/практики

Формируемые компете	**Планируемые результаты обучения по дисциплине, характеризующие этапы формирования компетенций**	**Виды оценочных средств/ шифр раздела в документе**
ПК-4 Владение навыками создания программного обеспечения для анализа, распознавания и обработки информации, систем цифровой обработки сигналов	**<u>Знать:</u>** методы создания программного обеспечения для анализа, распознавания и обработки информации, систем цифровой обработки сигналов.	***Блок А –*** *задания репродуктивного уровня* - Устный опрос
	<u>Уметь:</u> использовать методы создания программного обеспечения для анализа, распознавания и обработки информации, систем цифровой обработки сигналов.	**Блок В** – задания реконструктивного уровня - Практические задания
	<u>Владеть:</u> методами и средствами создания программного обеспечения для анализа, распознавания и обработки информации, систем цифровой обработки сигналов с помощью современных компьютерных технологий.	**Блок С** – задания практико-ориентированного и/или исследовательского уровня - Практические задания

Раздел 2. Технологическая карта дисциплины
Проектирование цифровых систем на базе FPGA

Курс 2, семестр 4, Количество ЗЕ -4, Отчетность – зачет с оценкой

Название модулей дисциплины согласно РПД	Контроль	Форма контроля	зачетный минимум	зачетный максимум	график контроля
Модуль 1					
Программируемые логические интегральные схемы	Текущий контроль	Посещение занятий Активность	4	7	22
	Рубежный контроль	Практическая работа №1	10	18	
Модуль 2					
Проектирование цифровых систем на основе программируемых пользователем вентильных матриц (FPGA) фирмы Altera в среде Quartus II Web Edition	Текущий контроль	Посещение занятий Активность	4	7	25
	Рубежный контроль	Практическая работа №2	10	18	
Модуль 3					
Проектирование цифровых систем с использованием языка Verilog HD	Текущий контроль	Посещение занятий Активность	4	7	28
	Рубежный контроль	Практическая работа №3	10	18	
Модуль 4					
Архитектура программируемых пользователем вентильных матриц	Текущий контроль	Посещение занятий Активность	4	7	31
	Рубежный контроль	Практическая работа №4	10	18	
Промежуточный контроль (Зачет с оценкой)			60	100	33
ВСЕГО за семестр			60	100	

Раздел 3. Типовые контрольные задания и иные материалы, необходимые для оценки планируемых результатов обучения по дисциплине (оценочные средства)

Блок А

Вопросы для устного опроса

1. Основы проектирования цифровых систем.
2. Архитектура FPGA и CPLD.
3. Классификация и внутренняя организация современных FPGA.
4. Методика проектирования цифровых устройств на основе FPGA компании Altera. Языковой и схемотехническийподход к проектированию.
5. Основные элементы и конструкции языка Verilog. Понятие модуля. Базовая структура модуля. Объявление портовввода-вывода. Объявление внутренних сигналов, параметров или переменных. Тело модуля. Типы данных.
6. Конструкции для реализации комбинационных схем. Конструкции для реализации последовательных схем.
7. Константы и параметры. Проектирование IP-блоков.
8. Примеры реализации архитектуры для комбинационных и последовательных схем (мультиплексор, демультиплексор,D-триггер с асинхронным сбросом).
1. Основные этапы проектирования цифровых систем.
2. Система автоматизированного проектирования цифровых систем Quartus II.
3. Синтез схем с помощью MegaWizard
4. Система временного анализа Quartus II.
5. Язык описания аппаратных средств Verilog HDL: редактирование, основные элементы языка Verilog.
6. Описание цифровых систем на Verilog HDL.
7. Реализация комбинационных схем на FPGA.
8. Реализация последовательных схем на FPGA.
9. Реализация арифметических устройств на FPGA.
10. Реализация конечных автоматов.

Блоки В и С

Практические задания

Задания к Практической работе №1. Знакомство с САПР Quartus II Web Edition. Освоение технологии создания проектов цифровых устройств в САПР Quartus II.

1.Изучить процедуру создания проекта.
2. Изучить возможности схемного редактора, особенности его использования.
3. Научиться осуществлять настройку режимов работы компилятора, системы моделирования и временного анализа.
4. Изучить возможности системы временного анализа.
5. Научиться синтезировать схемы с использованием компонента MegaWizard, осуществлять настройку параметров
элементов пользователя.
6. Изучить возможности текстового редактора и основные элементы языка Verilog (элементы языка, операторы и
директивы, синтаксис программ).

Задания к Практической работе №2. Проектирование и реализация комбинационных схем на FPGA.

1. Реализовать на плате DE0 схему, соответствующую заданному коду на языке Verilog:
   * Создать новый проект Quartus II. В качестве используемого чипа выбрать Cyclone III EP3C16F484C6 (это чип FPGA на плате Altera DE0).
   * Создать модуль на языке Verilog (см. заданный код) и включить его в свой проект.
   * Включить в свой проект необходимые назначения выводов для платы DE0.
   * Скомпилировать проект.
   * Загрузить скомпилированную схему в чип FPGA.
   * Проверить работоспособность схемы, переключая переключатели и наблюдая за светодиодами.
2. Реализовать на плате DE0 схему четырехбитового мультиплексора 2 к 1:
   * Написать модуль на языке Verilog, описывающий четырехбитовый мультиплексор 2 к 1 и сохранить в файл.
   * Создать новый проект Quartus II и включить этот файл в свой проект.
   * Скомпилировать проект и загрузить скомпилированную схему в чип FPGA.
   * Проверить работоспособность схемы, переключая переключатели и наблюдая за светодиодами.
3. Реализовать на плате DE0 схему двухбитового мультиплексора 4 к 1:
   * Создать новый проект Quartus II.
   * Создать модуль на Verilog для мультиплексора 4 к 1.
   * Скомпилировать проект и загрузить скомпилированную схему в чип FPGA.
   * Проверить работоспособность схемы, переключая переключатели и наблюдая за светодиодами. Убедитесь, что каждый из четырех входов правильно выбирается для передачи на выход.
4. Реализовать на плате DE0 схему, отображающую заданные символы на одном семисегментном индикаторе:
   * Создать новый проект Quartus II.
   * Создать модуль на Verilog для дешифратора на два входа и семь выходов.
   * Загрузить скомпилированную схему в чип FPGA.
   * Проверить работу схемы, переключая два переключателя и наблюдая за семисегментным индикатором.
5. Реализовать на плате DE0 схему, отображающую заданные символы на всех четырех семисегментных индикаторах:
   * Создать новый проект Quartus II.
   * Включить в свой проект модуль на языке Verilog, реализующий отображение заданного набора символов на четырех индикаторах и их перемещение в зависимости от изменения двухразрядного кода, задаваемых двумя переключателями.
   * Загрузить скомпилированную схему в чип FPGA.
   * Проверить работу схемы, переключая два переключателя и наблюдая за семисегментным индикатором.
6. Подготовить в электронном виде отчет о проделанной работе.

Задания к Практической работе № 3. Проектирование и реализация последовательных цифровых схем на FPGA.

1. Реализовать на плате Altera DE0 RS-триггер:
   * Создать новый проект Quartus II для RS-триггера.
   * Создать модуль на Verilog, реализующий RS-триггер, и включить его в свой проект.

* Скомпилировать код. Использовать Quartus II RTL Viewer, чтобы исследовать схему, созданную из кода.
* Использовать Technology Viewer, чтобы убедиться, что триггер реализован правильно.
* В QSim создать файл Vector Waveform File (.vwf), который определяет входы и выходы исследуемой схемы.
* Нарисовать формы сигналов для входов R и S и в QSim получить соответствующие сигналы на выходе триггера.
* Проверить правильность работы триггера.

2. Реализовать на плате Altera DE0 тактируемый D-триггер:
* Создать новый проект Quartus II.
* Создать модуль на Verilog, реализующий D-триггер, и включить его в свой проект.
* Использовать Technology Viewer для проверки реализованной схемы.
* Используя функциональное моделирование, убедиться, что D-триггер работает правильно для всех входных
условий.
* Изучить временные характеристики схемы с помощью временного моделирования.
* Создать новый проект Quartus II для реализации тактируемого D-триггера плате DE0.
* Использовать переключатель SW0 для управления D-входом триггера, а SW1 - в качестве входа Clk.
* Подключить выход Q к LEDG0.
* Перекомпилировать проект и загрузить скомпилированную схему на плату DE0.
* Проверить работоспособность схемы, переключая переключатели, которые управляют входами D и Clk и
наблюдая за выходом Q.

3. Реализовать на плате Altera DE0 схему, отображающую два 8-и разрядных шестнадцатеричных числа на четырех
семисегментных индикаторах
* Создать новый проект Quartus II.
* Напишите код на языке Verilog, который реализует соответствующую функциональность.

* Включить Verilog-файл в свой проект и скомпилировать схему.
* Включить в свой проект необходимые назначения выводов для платы DE0.
* Перекомпилировать проект и загрузить скомпилированную схему в чип FPGA.
* Проверить работоспособность схемы, переключая переключатели и наблюдая за семисегментными индикаторами.

4. Подготовить в электронном виде отчет о проделанной работе.

Задания к Практической работе №4. Проектирование и реализация АЛУ на FPGA.

1. Реализовать на плате Altera DE0 схему восьмиразрядного аккумулятора (накопителя):
* Создать новый проект Quartus II.
* Написать на языке Verilog код, который описывает схему восьмиразрядного аккумулятора.
* Вход A подключить к восьми переключателям SW7-0, а выход аккумулятора – к светодиодам LED7-0.
* Скомпилировать проект и используя временное моделирование, проверить корректность работы схемы.
* Если схема работает правильно, загрузить ее в плату DE0 и протестировать правильность работы, задавая различные значения чисел на входе A.

2. Реализовать на плате Altera DE0 схему, выполняющую операцию умножения двух чисел. Выполните следующие шаги для реализации схемы умножителя:

* Создать новый проект Quartus II для реализации требуемой схемы на плате Altera DE0.
* Сгенерировать соответствующий Verilog-файл, включить его в свой проект и скомпилировать схему.
* Использовать функциональное моделирование для проверки проекта.
* Расширить свой проект, чтобы использовать переключатели SW11-8 для представления числа A и переключатели SW3-0 для представления числа B. Шестнадцатеричные значения A и B должны отображаться на 7-сегментных индикаторах.
* Включить в свой проект необходимые назначения выводов для платы DE0.
* Перекомпилировать проект и загрузить скомпилированную схему в чип FPGA.
* Проверить работоспособность схемы, переключая переключатели и наблюдая за семисегментными индикаторами.
4. Подготовить в электронном виде отчет о проделанной работе.

Блок D (промежуточный контроль)

Вопросы для проверки уровня обученности ЗНАТЬ

1. Основы проектирования цифровых систем.
2. Архитектура FPGA и CPLD.
3. Классификация и внутренняя организация современных FPGA.
4. Методика проектирования цифровых устройств на основе FPGA компании Altera. Языковой и схемотехническийподход к проектированию.
5. Основные элементы и конструкции языка Verilog. Понятие модуля. Базовая структура модуля. Объявление портовввода-вывода. Объявление внутренних сигналов, параметров или переменных. Тело модуля. Типы данных.
6. Конструкции для реализации комбинационных схем. Конструкции для реализации последовательных схем.
7. Константы и параметры. Проектирование IP-блоков.
8. Примеры реализации архитектуры для комбинационных и последовательных схем (мультиплексор, демультиплексор,D-триггер с асинхронным сбросом).

Задания для проверки уровня обученности УМЕТЬ и ВЛАДЕТЬ

1. Основные этапы проектирования цифровых систем.
2. Система автоматизированного проектирования цифровых систем Quartus II.
3. Синтез схем с помощью MegaWizard
4. Система временного анализа Quartus II.
5. Язык описания аппаратных средств Verilog HDL: редактирование, основные элементы языка Verilog.
6. Описание цифровых систем на Verilog HDL.
7. Реализация комбинационных схем на FPGA.
8. Реализация последовательных схем на FPGA.
9. Реализация арифметических устройств на FPGA.
10. Реализация конечных автоматов.

Раздел 4. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций

Описание показателей и критериев оценивания компетенций, описание шкал оценивания

Применяемые оценочные средства:

- Сдача практических работ на практических занятиях в соответствии с технологической картой дисциплины (текущая и рубежная аттестация),
- Письменный опрос по экзаменационным билетам (промежуточная аттестация - зачет с оценкой).

Все виды оценочных средств оцениваются в соответствии со шкалами оценивания.

Устный опрос на практических занятиях по отдельным темам проводится в течение всего периода обучения дисциплине. Результаты опроса учитываются при оценивании практических работ.

ШКАЛА ОЦЕНИВАНИЯ (промежуточный контроль)

1. Промежуточный контроль проводится письменно. Письменная работа состоит из трех частей: задания-теста, задания с открытыми вопросами, задания практической направленности.

2. Каждый пункт задания имеет свой вес в баллах.

3. Максимально возможное количество баллов за письменную работу равно 100.

4. Определяется сумма набранных баллов.

5. Вычисляется % от набранных баллов. Величина процента определяется весом промежуточного контроля в общей шкале оценивания.

ШКАЛА ОЦЕНИВАНИЯ ПРАКТИЧЕСКИХ РАБОТ

(рубежный контроль)

Практическая работа студента оценивается отметкой (13-15 или 18-20 баллов)*, если он правильно решил все поставленные задачи, продемонстрировал полное понимание проблемы, ответил правильно на все вопросы преподавателя, выполнил все требования, предъявляемые к заданию.

Отметкой (10-12 или 15-17 баллов)* оценивается практическая работа студента, если он в основном правильно решил все поставленные задачи, продемонстрировал значительное понимание проблемы, ответил правильно на большинство вопросов преподавателя, выполнил большинство требований, предъявляемых к заданию.

Отметкой (5-9 или 10-14 баллов)* оценивается практическая работа студента, если он в основном неправильно решил поставленные задачи, продемонстрировал частичное понимание проблемы. Многие требования, предъявляемые к заданию, не выполнил.

Отметкой (0-4 балла) оценивается работа, если студент неправильно решил поставленные задачи, продемонстрировал непонимание проблемы, большинство требований, предъявляемых к заданию не выполнил.

* Первая оценка – для практических работ №1, вторая оценка – для практических работ №2-3

Раздел 5. Методические указания для обучающегося по освоению дисциплины и выполнению контрольных заданий

Рекомендации по организации самостоятельной работы студента

1. Советы по планированию и организации времени, необходимого для изучения дисциплины. Рекомендуется следующим образом организовать время, необходимое для изучения дисциплины:

Изучение конспекта лекции в тот же день, после лекции – 10-15 минут;

Изучение конспекта лекции за день перед следующей лекцией – 10-15 минут;

Изучение теоретического материала по учебному пособию и конспекту – 1 час в неделю;

Подготовка к практическому занятию – 2-3 час.

Всего в неделю – 4 часа.

2. Описание последовательности действий студента

Для понимания материала и качественного его усвоения рекомендуется следующая последовательность действий.

После прослушивания лекции и окончания учебных занятий, при подготовке к занятиям следующего дня, нужно сначала просмотреть и обдумать текст лекции, прослушанной сегодня (10-15 минут).

При подготовке к лекции следующего дня, нужно просмотреть текст предыдущей лекции, подумать о том, какая может быть тема следующей лекции (10-15 минут).

В течение недели выбрать время (2-3часа) для работы с рекомендуемыми электронными учебными пособиями.

При подготовке к практическим занятиям следующего дня, необходимо сначала прочитать основные понятия и подходы по теме домашнего задания. При выполнении упражнения или задачи нужно сначала понять, что требуется в задаче, какой теоретический материал нужно использовать, наметить план решения задачи.

3. Рекомендации по использованию материалов учебно-методического комплекса. Все рекомендуемые учебные пособия размещены на серверах компьютерных классов в сетевой папке.