МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

МИНИСТЕРСТВО НАУКИ, ВЫСШЕГО ОБРАЗОВАНИЯ И ИННОВАЦИЙ КЫРГЫЗСКОЙ РЕСПУБЛИКИ

МОО ВО КЫРГЫЗСКО-РОССИЙСКИЙ СЛАВЯНСКИЙ УНИВЕРСИТЕТ

имени первого Президента Российской Федерации Б.Н. Ельцина

Высшая школа цифровых технологий

Направление подготовки: 11.03.02 (РФ) / 690300 (КР) Инфокоммуникационные технологии и системы связи

Профиль: «Сети связи и системы коммутации»

Квалификация выпускника: Бакалавр

Форма обучения: Очная

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ (ФОС)

по дисциплине «Цифровая схемотехника»

Год начала подготовки: 2026

Семестр изучения: 4 семестр (2 курс)

Общая трудоемкость: 3 ЗЕТ (108 академических часов)

Форма промежуточной аттестации: Экзамен (4 семестр)

Фонд оценочных средств предназначен для контроля знаний обучающихся по направлению подготовки «Инфокоммуникационные технологии и системы связи» по дисциплине

по дисциплине «Цифровая схемотехника»

Фонд оценочных средств рассмотрен и утвержден на заседании высшей школы «цифровых технологий»

протокол № 1 от «02» сентября 2026 года.

Директор ВШ «Цифровых технологий» _____ Хмелёва И.В.

Согласовано РОП: к.т.н., доцент Оконов М.О. _____

Исполнители:

Ст. препод. ВШ «Цифровых технологий» _____ Мамадалиева Ж.Б.

1. ПАСПОРТ ФОНДА ОЦЕНОЧНЫХ СРЕДСТВ

1.1. Цели и задачи фонда оценочных средств

Фонд оценочных средств (ФОС) предназначен для проведения текущего контроля успеваемости, рубежного контроля (коллоквиума) и промежуточной аттестации (экзамена) обучающихся по дисциплине «Цифровая схемотехника». ФОС обеспечивает проверку уровня сформированности компетенций:

- **ПК-3:** *Способен осуществлять монтаж, наладку, настройку, регулировку, опытную проверку работоспособности, испытания и сдачу в эксплуатацию сооружений, средств и оборудования сетей*;
- **ПК-5:** *Способен к сбору, обработке, распределению и контролю выполнения заявок на техподдержку оборудования с помощью инфокоммуникационных систем и баз данных*.

1.2. Распределение объема дисциплины по видам занятий (по учебному плану)

- **Общая трудоемкость:** 3 ЗЕТ / 108 академических часов.
- **Лекционные занятия:** 16 часов.
- **Практические занятия:** 16 часов.
- **Самостоятельная работа студентов (СРС):** 44 часа.
- **Контактная работа в период экзаменационной сессии (КрЭк):** 0,3 часа.
- **Часы на контроль:** 31,7 часа.
- **Вид промежуточной аттестации:** Экзамен (4 семестр).

1.3. Матрица связей разделов дисциплины, компетенций и оценочных средств

Раздел дисциплины	**Формируемые индикаторы компетенций (ПК-3, ПК-5)**	**Виды оценочных средств**
Раздел 1. Логические основы и элементная база	**Знать:** 3.1.1, 3.1.2 — системы счисления, законы алгебры логики, параметры полупроводниковых ключей ТТЛШ и КМОП **Уметь:** 3.2.2, 3.2.5 — выполнять минимизацию логических функций по картам Карно, определять уровни логического «0» и «1» по Data Sheets	Фронтальный опрос (лекция №1.1, Раздел 1), Практическое занятие №1.2, Задание СРС №1.3, Работа с Data Sheets (Задание №4)

Раздел дисциплины	Формируемые индикаторы компетенций (ПК-3, ПК-5)	Виды оценочных средств
	Владеть: 3.3.1, 3.3.3 — методологией анализа логических функций и профессиональным понятийным аппаратом	
Раздел 2. Комбинационные устройства	**Знать:** 3.1.3 — принципы построения и работы дешифраторов, шифраторов, мультиплексоров, компараторов и сумматоров **Уметь:** 3.2.1, 3.2.4 — синтезировать комбинационные схемы в базисах И-НЕ, ИЛИ-НЕ и моделировать их в САПР (Proteus, Multisim, Logisim) **Владеть:** 3.3.2, 3.3.4 — навыки работы в САПР, диагностики ошибок и поиска неисправностей при обработке заявок на техподдержку	Фронтальный опрос (лекция №2.1, Раздел 2), Практическое занятие №2.2, Задание СРС №2.3, Коллоквиум, Практические задания №1, №3, Кейсы №2, №3
Раздел 3. Последовательностные устройства *(включая запоминающие устройства и ПЛИС)*	**Знать:** 3.1.3, 3.1.4, 3.1.5 — триггеры (RS, D, JK, T), счетчики, регистры сдвига, архитектура памяти (RAM, ROM, Flash) и основы ПЛИС (FPGA)	Фронтальный опрос (лекция №3.1, Разделы 3–4), Практическое занятие №3.2, Задание СРС №3.3, Практическое задание №2, Кейс №1, РГР, Доклад с

Раздел дисциплины	Формируемые индикаторы компетенций (ПК-3, ПК-5)	Виды оценочных средств
	Уметь: 3.2.1, 3.2.3, 3.2.4 — рассчитывать и синтезировать счетчики с заданным коэффициентом пересчета, строить временные диаграммы работы узлов **Владеть:** 3.3.2, 3.3.4 — навыки отладки последовательностных схем виртуальными приборами и устранения «гонок» (состязаний)	презентацией, **Экзамен**

2. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КАТЕГОРИИ «ЗНАТЬ» (Экзаменационные вопросы и фронтальный опрос)

2.1. Теоретические вопросы к экзамену (п. 5.1.1 РПД)

Блок 1. Логические основы и элементная база

1. Перевод чисел из двоичной системы в шестнадцатеричную и обратно. Зачем это нужно при настройке сетевого оборудования?
2. Основные логические операции: И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, Исключающее ИЛИ. Таблицы истинности.
3. Понятие «логического уровня». Сравнение параметров ТТЛШ и КМОП серий (напряжение питания, уровни нуля и единицы).
4. Задержка распространения сигнала в микросхемах и её влияние на максимальную частоту работы устройства.

Блок 2. Комбинационные устройства 5. Дешифраторы и шифраторы: принцип работы и область применения в системах коммутации. 6. Мультиплексоры и демультиплексоры. Реализация логических функций на мультиплексорах. 7. Цифровые компараторы и сумматоры. Принцип построения полусумматора и полного сумматора. 8. Методы минимизации логических функций с помощью карт Карно.

Блок 3. Последовательностные устройства 9. Отличие комбинационных схем от последовательностных. Понятие памяти в цифровой схемотехнике. 10. RS-триггеры:

синхронные и асинхронные. Проблема «запрещенного состояния». 11. D-триггеры и JK-триггеры. Временные диаграммы работы. 12. Счетчики: классификация по коэффициенту пересчета и способу изменения состояния (суммирующие, вычитающие, реверсивные). 13. Регистры хранения и регистры сдвига. Преобразование параллельного кода в последовательный.

Блок 4. Запоминающие устройства и ПЛИС 14. Классификация полупроводниковой памяти: ОЗУ (SRAM, DRAM) и ПЗУ (ROM, Flash). 15. Структура адресного пространства. Как дешифратор адреса выбирает конкретную микросхему памяти? 16. Общие принципы архитектуры ПЛИС (FPGA). Преимущества аппаратной реализации алгоритмов перед программной.

2.2. Вопросы для экспресс-контроля (фронтального опроса на занятиях, п. 5.3.1 РПД)

- **Раздел 1 (Логические основы и элементная база):**
    1. В чем преимущество шестнадцатеричной системы счисления при описании цифровых портов?
    2. Какие логические операции составляют функционально полную систему (базис)?
    3. Чем отличается положительная логика от отрицательной?
    4. Что такое «коэффициент разветвления» по выходу микросхемы?
    5. Назовите основные отличия КМОП-серии от ТТЛШ.
    6. Что произойдет с КМОП-входом, если оставить его «висеть в воздухе»?
    7. Дайте определение задержки распространения сигнала.
    8. Какие факторы влияют на помехоустойчивость цифровой схемы?
    9. Зачем нужны подтягивающие резисторы (pull-up)?
    10. Как обозначаются инверсные входы и выходы на схемах по ГОСТ?
- **Раздел 2 (Комбинационные устройства):** 11. В чем разница между полным сумматором и полусумматором? 12. Какую функцию выполняет вход разрешения (Enable) у дешифратора? 13. Сколько выходов будет у дешифратора с 4 входами? 14. Можно ли использовать мультиплексор для преобразования параллельного кода в последовательный? 15. Что такое «активный уровень» сигнала? 16. Как работает цифровой компаратор? 17. Какое устройство называют «селектором данных»? 18. Почему комбинационные схемы называют схемами «без памяти»? 19. Зачем в схемах адресации памяти используются дешифраторы? 20. Как каскадируются мультиплексоры для увеличения числа входов?
- **Раздел 3 (Последовательностные устройства):** 21. Чем отличается триггер от обычного логического элемента? 22. Что такое «состояние гонок» в асинхронных схемах? 23. Какое состояние RS-триггера является запрещенным и почему? 24. В чем особенность тактирования по фронту (Edge-triggered)? 25. Какую логическую операцию реализует Т-триггер? 26. Как организовать сброс счетчика в произвольное состояние? 27. Что такое «информационная емкость» регистра? 28. Чем отличается синхронный счетчик от асинхронного по быстродействию? 29. Зачем в регистрах сдвига используется последовательный вход? 30. Как триггеры используются для борьбы с дребезгом контактов?
- **Раздел 4 (Запоминающие устройства и ПЛИС):** 31. Что такое энергонезависимая память? 32. В чем разница между статической (SRAM) и динамической (DRAM) памятью? 33. Как расшифровывается аббревиатура FPGA? 34. Какую роль играет «таблица поиска» (LUT) в структуре ПЛИС? 35. Что такое «прошивка» (конфигурационный файл) для цифрового оборудования? 36. Каковы преимущества использования ПЛИС перед жесткой логикой в ИТиСС? 37. Чем отличается Flash-память от EEPROM? 38. Что такое цикл регенерации в

оперативной памяти? 39. Как организована двунаправленная шина данных? 40. Зачем в системах связи нужны буферные устройства FIFO?

3. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КАТЕГОРИИ «УМЕТЬ» (Практические задания и коллоквиум)

3.1. Типовые практические задания (п. 5.1.2 РПД)

- **Задание 1 (Синтез):**

  Условие: Построить схему управления аварийной сигнализацией на узле связи. Сигнал подается, если сработали любые два датчика из трех.

  Требуется: Составить таблицу истинности, минимизировать функцию и нарисовать схему в базисе И-НЕ.

- **Задание 2 (Анализ временных диаграмм — ПК-3):**

  Условие: Дана схема трехразрядного счетчика и временная диаграмма тактовых импульсов.

  Требуется: Достроить диаграммы состояний на выходах Q_0, Q_1, Q_2. Определить коэффициент пересчета.

- **Задание 3 (Диагностика и техподдержка — ПК-5):**

  Условие: При настройке дешифратора адреса в системе коммутации выяснилось, что при любой комбинации на входе всегда выбран только один и тот же порт.

  Требуется: Предложить алгоритм поиска неисправности. Какие контрольные точки нужно проверить осциллографом или логическим анализатором?

- **Задание 4 (Работа с документацией):**

  Условие: Студенту выдается фрагмент Data Sheet на микросхему (например, 74HC00).

  Требуется: Найти максимально допустимый ток выхода и диапазон рабочих температур. Определить, можно ли использовать данную деталь в неотапливаемом помещении базовой станции связи.

3.2. Перечень практических занятий (16 часов, раздел 4 РПД)

- **Практическое занятие №1.2 (4 ч.):** Выполнение арифметических операций в двоичной и шестнадцатеричной системах. Преобразование логических выражений.
- **Практическое занятие №2.2 (6 ч.):** Проектирование дешифратора адреса для выбора порта в системе коммутации. Моделирование в САПР.
- **Практическое занятие №3.2 (6 ч.):** Расчет и синтез счетчика с заданным коэффициентом пересчета для формирования таймингов в сети.

3.3. Банк мини-задач к рубежному коллоквиуму (п. 5.3.2 РПД)

1. Минимизация функций: от аналитической записи к карте Карно.

2. Синтез комбинационной схемы «сигнализация 2 из 3» в базисе И-НЕ.
3. Реализация логики мажоритарного клапана на дешифраторе.
4. Построение восьмивходового мультиплексора из двух четырехвходовых.
5. Сравнительный анализ потребляемой мощности ТТЛ и КМОП на разных частотах.
6. Преобразование кода Грея в двоичный код (схемотехническая реализация).
7. Расчет задержки в многозвенной логической цепи.
8. Синтез делителя частоты на 6 на базе счетчика 74HC161.
9. Работа D-триггера как защелки (Latch): временные диаграммы.
10. Построение кольцевого счетчика на регистрах сдвига.
11. Организация параллельного интерфейса передачи данных между двумя узлами.
12. Расчет адресного дешифратора для подключения 4-х микросхем памяти по 1 Кб.
13. Анализ временных диаграмм работы JK-триггера при наличии помех на входах.
14. Реализация функции «исключающее ИЛИ» только на элементах И-НЕ.
15. Построение схемы контроля четности для четырехразрядного числа.
16. Использование Z-состояния (третьего состояния) в шинных структурах.
17. Синтез двоично-десятичного счетчика с индикацией на 7-сегментный индикатор.
18. Организация стековой памяти (LIFO): схемотехнический принцип.
19. Анализ причин сбоев счетчика при нарушении условий Setup/Hold time.
20. Проектирование схемы антидребезга на инверторах с гистерезисом.
21. Реализация приоритетного шифратора для 4-х прерываний в системе связи.
22. Построение схемы «бегущий огонь» на сдвиговом регистре.
23. Каскадирование сумматоров для обработки 8-разрядных слов.
24. Схемотехника узла формирования контрольной суммы (CRC).
25. Анализ влияния емкости нагрузки на фронты цифрового сигнала.
26. Построение генератора одиночного импульса по фронту входного сигнала.
27. Реализация триггера со счетным входом на базе D-триггера.
28. Методика проверки исправности счетчика с помощью логического пробника.
29. Выбор номиналов резисторов для согласования уровней 3.3В и 5В.
30. Сравнительный анализ быстродействия параллельного и последовательного регистров.

4. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КАТЕГОРИИ «ВЛАДЕТЬ» (Практические кейсы в САПР)

Для подтверждения уровня «Владеть» студент выполняет одно из комплексных заданий на ПК в среде моделирования (Logisim-evolution, Proteus VSM или NI Multisim) согласно п. 5.1.3 РПД:

- **Кейс №1 (для ПК-3 — Монтаж и наладка):**

  Задание: Дана схема цифрового устройства (например, восьмиразрядный регистр сдвига) с внесенной в неё «неисправностью» в симуляторе (разорвана связь, неверно подан уровень на вход сброса и т.д.).

  Задача: Используя виртуальные приборы (логический пробник, осциллограф), локализовать неисправность, устранить её и продемонстрировать корректную работу устройства согласно временной диаграмме.

  Проверяемый навык: Практическая отладка и регулировка цифровых узлов.

- **Кейс №2 (для ПК-5 — Техподдержка и базы данных):**

Задание: Поступила «заявка» на подбор аналога неисправной микросхемы памяти или логического элемента для импортозамещения или в связи со снятием с производства.

Задача: Используя электронные справочники и базы данных производителей (Data Sheets — Alldatasheet, DatasheetCatalog, Texas Instruments), подобрать компонент с аналогичными или превосходящими характеристиками (напряжение, быстродействие, распиновка). Оформить техническое обоснование замены.

Проверяемый навык: Работа с профессиональными информационными системами и технической документацией.

- **Кейс №3 (Синтез и верификация):**

Задание: Спроектировать «с нуля» схему управления приоритетами для трех абонентов инфокоммуникационной сети.

Задача: Пройти полный цикл: от таблицы истинности до работающей модели в САПР. Провести верификацию схемы (проверку на всех комбинациях входных сигналов).

Проверяемый навык: Владение методологией сквозного проектирования и САПР.

5. ТЕМАТИКА ДОКЛАДОВ С ПРЕЗЕНТАЦИЕЙ И РГР НА САМОСТОЯТЕЛЬНУЮ РАБОТУ (СРС)

Перечень из 10 тем соответствует пункту 5.3.3 РПД. Курсовая работа (проект) учебным планом не предусмотрена (п. 5.2 РПД), в рамках СРС (44 часа) выполняется расчетно-графическая работа (РГР, например, «Синтез управляющего автомата» или «Контроллер приоритетов») и доклад с презентацией:

1. Эволюция элементной базы: от транзисторных ключей до систем на кристалле (SoC).
2. Аппаратная реализация криптографических алгоритмов: схемотехника блоков шифрования.
3. Технологии FPGA в современных системах коммутации: гибкая перестройка архитектуры «на лету».
4. Проблема целостности сигналов (Signal Integrity) в высокоскоростных цифровых устройствах связи.
5. Диагностика цифровых узлов: использование логических анализаторов и встроенных средств самотестирования (BIST).
6. Энергосберегающие технологии в схемотехнике мобильных устройств связи.
7. Аппаратная поддержка протоколов передачи данных: реализация UART и SPI на логических уровнях.
8. Перспективы квантовой схемотехники: замена классического бита кубитом.
9. Анализ причин аппаратных отказов цифрового оборудования базовых станций: старение, перегрев, ЭМП.
10. Обзор современных систем автоматизированного проектирования (САПР) для разработки и верификации цифровых схем.

6. ПЕРЕЧЕНЬ ВИДОВ ОЦЕНОЧНЫХ СРЕДСТВ И ТЕХНОЛОГИЧЕСКАЯ КАРТА КОНТРОЛЯ

В соответствии с пунктом 5.4 и разделом 8 РПД для оценки качества освоения дисциплины используются следующие 6 видов оценочных средств:

1. **Фронтальный опрос:** проводится устно в экспресс-формате на лекциях и практиках. Оценивается быстрота и правильность владения терминологией (TTL, CMOS, JTAG, FPGA и др.).
2. **Практические задания (16 часов):** выполняются в программных средах (Proteus VSM, NI Multisim, Logisim-evolution). Оценивается работоспособность виртуальной модели и соответствие временных диаграмм техническому заданию.
3. **Коллоквиум (рубежный контроль в середине семестра):** сочетает письменную работу (решение логических уравнений, минимизацию по картам Карно) и устную защиту решений у доски.
4. **Расчётно-графическая работа (РГР):** индивидуальный микро-проект по сквозному проектированию цифрового узла (математический синтез, моделирование в САПР, верификация, оформление схем по ГОСТ ЕСКД).
5. **Доклад с презентацией:** оценивается умение студента работать с техническими паспортами (Data Sheets) и представлять инженерные решения по эксплуатации оборудования.
6. **Промежуточная аттестация — Экзамен (4 семестр):** экзаменационный билет включает **два теоретических вопроса** (из Блоков 1–4) и **одну практическую задачу / кейс в САПР**.

7. КРИТЕРИИ И ШКАЛА ОЦЕНИВАНИЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ (ЭКЗАМЕН)

7.1. Балльно-рейтинговая система оценивания

Оценка итоговой успеваемости обучающихся по дисциплине осуществляется по 100-балльной шкале с последующим переводом в пятибалльную академическую оценку. Для допуска и успешной сдачи экзамена сумма баллов, набранная обучающимся по результатам текущего, рубежного и экзаменационного контроля, должна составлять **60 и более баллов**.

7.2. Шкала перевода баллов и дескрипторы оценивания (ПК-3, ПК-5)

Шкала баллов	**Академическая оценка**	**Требования к уровню сформированности компетенций ПК-3, ПК-5 (Знать, Уметь, Владеть)**
85 – 100 баллов	**Отлично (5)**	Обучающийся демонстрирует глубокие, системные знания булевой алгебры, параметров ТТЛШ/КМОП серий, принципов построения комбинационных и последовательностных узлов, памяти (SRAM, DRAM, ROM, Flash) и архитектуры ПЛИС (FPGA), приводя примеры их применения в системах связи; безошибочно выполняет минимизацию по картам Карно, строит

Шкала баллов	Академическая оценка	Требования к уровню сформированности компетенций ПК-3, ПК-5 (Знать, Уметь, Владеть)
		временные диаграммы, локализует неисправности в САПР с помощью виртуального осциллографа/логического анализатора и обоснованно подбирает аналоги компонентов по Data Sheets; полностью защитил практические работы, коллоквиум, РГР и доклад.
70 – 84 балла	**Хорошо (4)**	Обучающийся твердо знает основной теоретический материал всех разделов дисциплины, допускает незначительные неточности при ответе на дополнительные вопросы по механизмам возникновения «гонок» сигналов, регенерации DRAM или внутренней структуре LUT в FPGA; уверенно выполняет синтез и моделирование типовых цифровых схем в САПР и работу с технической документацией; выполнил и защитил практические работы, РГР и доклад с незначительными замечаниями по оформлению.
60 – 69 баллов	**Удовлетворительно (3)**	Обучающийся усвоил только базовый теоретический минимум (таблицы истинности базовых элементов, назначение дешифраторов, мультиплексоров, триггеров, счетчиков и регистров); испытывает затруднения при построении временных диаграмм, устранении состязаний в асинхронных схемах и диагностике неисправностей; практические задания, РГР и кейс выполнены в минимально допустимом объеме при помощи преподавателя.
Менее 60 баллов	**Неудовлетворительно (2)**	Обучающийся не знает основ цифровой схемотехники и элементной базы, не умеет синтезировать простейшие логические схемы и работать в средах моделирования (Proteus, Multisim, Logisim), имеет академические задолженности по практическим занятиям, коллоквиуму и РГР.