МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ,
МИНИСТЕРСТВО НАУКИ, ВЫСШЕГО ОБРАЗОВАНИЯ И ИННОВАЦИЙ
КЫРГЫЗСКОЙ РЕСПУБЛИКИ

МОО ВО Кыргызско-Российский Славянский университет
имени первого Президента Российской Федерации Б.Н. Ельцина

УТВЕРЖДАЮ
директор Политехнического института
_____ Г.Лоцев
3 сентября 2026 г.

Проектирование цифровых систем на базе FPGA

аннотация дисциплины (модуля)

Разработано	**Высшая школа Цифровых технологий**
Учебный план	g090404_25_2пи_рпис.plx Направление подготовки 09.04.04 - РФ, 710400 - КР Программная инженерия Магистерская программа "Разработка программно-информационных систем"
Квалификация	**магистр**
Форма обучения	**очная**

Распределение часов дисциплины по семестрам

Семестр (<Курс>.<Семестр на курсе>)	**4 (2.2)**		Итого	
Недель	13 2/6			
Вид занятий	УП	РП	УП	РП
Лекции	16	16	16	16
Практические	22	22	22	22
Контактная работа в период теоретического обучения	0,1	0,1	0,1	0,1
В том числе инт.	8	8	8	8
В том числе в форме практ.подготовки	22	22	22	22
Итого ауд.	38	38	38	38
Контактная работа	38,1	38,1	38,1	38,1
Сам. работа	105,9	105,9	105,9	105,9
Итого	144	144	144	144

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ	
1.1	Целью освоения дисциплины является ознакомление студентов с методами проектирования цифровых систем с использованием программируемых пользователем логических матриц (FPGA).

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ООП	
Цикл (раздел) ООП:	Б1.В
2.1	**Требования к предварительной подготовке обучающегося:**
2.1.1	Для освоения данной дисциплины студенты должны пройти курс обучения в бакалавриате по направлению 09.03.04 "Программная инженерия".
2.2	**Дисциплины и практики, для которых освоение данной дисциплины (модуля) необходимо как предшествующее:**
2.2.1	Преддипломная практика
2.2.2	Выполнение и защита выпускной квалификационной работы

3. КОМПЕТЕНЦИИ ОБУЧАЮЩЕГОСЯ, ФОРМИРУЕМЫЕ В РЕЗУЛЬТАТЕ ОСВОЕНИЯ ДИСЦИПЛИНЫ (МОДУЛЯ)	
ПК-4: Владение навыками создания программного обеспечения для анализа, распознавания и обработки информации, систем цифровой обработки сигналов	
Знать:	
Уровень 1	Архитектуру, классификацию и основные структуры программируемых пользователем логических матриц (FPGA) и CPLD. Синтаксис, типы данных и структуру модулей языков описания аппаратных средств (Verilog HDL). Возможности систем автоматизированного проектирования (САПР Quartus II) и общую технологию проектирования цифровых систем.
Уметь:	
Уровень 1	Пользоваться современными САПР для реализации этапов синтеза, ввода ограничений и временного анализа цифровых устройств. Проектировать и описывать на языке Verilog комбинационные и последовательные логические схемы, конечные автоматы и арифметические устройства (АЛУ). Разрабатывать цифровые модули для задач обработки информации и управления периферийными интерфейсами.
Владеть:	
Уровень 1	Пользоваться современными САПР для реализации этапов синтеза, ввода ограничений и временного анализа цифровых устройств. Проектировать и описывать на языке Verilog комбинационные и последовательные логические схемы, конечные автоматы и арифметические устройства (АЛУ). Разрабатывать цифровые модули для задач обработки информации и управления периферийными интерфейсами.

В результате освоения дисциплины обучающийся должен

3.1	**Знать:**
- базовые понятия и основные структуры программируемых пользователем логических матриц; - возможности систем автоматизации проектирования цифровых систем на базе FPGA; - языки описания аппаратных средств; - технологию проектирования цифровых систем.	
3.2	**Уметь:**
- пользоваться системами автоматизированного проектирования цифровых систем на базе FPGA; - реализовывать основные этапы проектирования цифровых систем; - работать с научной, технической и учебной литературой по данному направлению.	
3.3	**Владеть:**
- навыками описания цифровых систем на языке описания аппаратных средств; - методами реализации программируемых логических схем, межсоединений и схем ввода / вывода; - технологией отладки и тестирования аппаратных модулей на FPGA; - методами тестирования разработанных цифровых систем.	