МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ,
МИНИСТЕРСТВО НАУКИ, ВЫСШЕГО ОБРАЗОВАНИЯ И ИННОВАЦИЙ
КЫРГЫЗСКОЙ РЕСПУБЛИКИ

МОО ВО Кыргызско-Российский Славянский университет
имени первого Президента Российской Федерации Б.Н. Ельцина

УТВЕРЖДАЮ
Декана факультета ГТФ
_____ Н. М. Комарнов
22.09.2025

Проектирование цифровых систем на базе FPGA

рабочая программа дисциплины (модуля)

Закреплена за кафедрой	**Информационных и вычислительных технологий**
Учебный план	g090404_25_1пи_рпис.plx Направление подготовки 09.04.04 - РФ, 710400 - КР Программная инженерия Магистерская программа "Разработка программно-информационных систем"
Квалификация	**магистр**
Форма обучения	**очная**
Общая трудоемкость	**4 ЗЕТ**

Часов по учебному плану	144	Виды контроля в семестрах:
в том числе:		зачет с оценкой 4
аудиторные занятия	38	
самостоятельная работа	105,9	

Распределение часов дисциплины по семестрам

Семестр (<Курс>.<Семестр на курсе>)	**4 (2.2)**		Итого	
Недель	13 2/6			
Вид занятий	УП	РП	УП	РП
Лекции	16	16	16	16
Практические	22	22	22	22
Контактная работа в период теоретического обучения	0,1	0,1	0,1	0,1
В том числе инт.	8	8	8	8
В том числе в форме практ.подготовки	22	22	22	22
Итого ауд.	38	38	38	38
Контактная работа	38,1	38,1	38,1	38,1
Сам. работа	105,9	105,9	105,9	105,9
Итого	144	144	144	144

Программу составил(и):
ст.преп., Беляев А.А.;к.т.н., доцент, Осмонов М.С. _____

д.т.н., проф. , Верзунов С.Н. _____

Рабочая программа дисциплины
Проектирование цифровых систем на базе FPGA

разработана в соответствии с ФГОС 3++:
Федеральный государственный образовательный стандарт высшего образования - магистратура по направлению подготовки 09.04.04 Программная инженерия (приказ Минобрнауки России от 19.09.2017 г. № 932)

составлена на основании учебного плана:
Направление подготовки 09.04.04 - РФ, 710400 - КР Программная инженерия
Магистерская программа "Разработка программно-информационных систем"
утвержденного учёным советом вуза от 30.06.2025 протокол № 13

Рабочая программа одобрена на заседании кафедры
Информационных и вычислительных технологий

Протокол от 03.09.2025 г. № 1
Срок действия программы: 2025-2027 уч.г.
Зав. кафедрой д.т.н., проф. Лыченко Н.М.

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ
к рабочей программе дисциплины (модуля)

Проектирование цифровых систем на базе FPGA

наименование дисциплины

№ п/п	Основание внесения изменения	Раздел/ пункт	Содержание изменения
1.	№357-П от 24 июня 2026- О преобразовании Естественно-технического факультета и Факультета архитектуры дизайна и строительства в Политехнический институт КРСУ	Титульный лист. Пункт Разработано	Заменить слова «Разработано Кафедра Информационных и вычислительных технологий» словами «Разработано: Высшая школа Цифровых технологий»
2.			
3.			
4.			
5.			

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ	
1.1	Целью освоения дисциплины является ознакомление студентов с методами проектирования цифровых систем с использованием программируемых пользователем логических матриц (FPGA).

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ООП	
Цикл (раздел) ООП:	Б1.В
2.1	**Требования к предварительной подготовке обучающегося:**
2.1.1	Для освоения данной дисциплины студенты должны пройти курс обучения в бакалавриате по направлению 09.03.04 "Программная инженерия".
2.2	**Дисциплины и практики, для которых освоение данной дисциплины (модуля) необходимо как предшествующее:**
2.2.1	Преддипломная практика
2.2.2	Выполнение и защита выпускной квалификационной работы

3. КОМПЕТЕНЦИИ ОБУЧАЮЩЕГОСЯ, ФОРМИРУЕМЫЕ В РЕЗУЛЬТАТЕ ОСВОЕНИЯ ДИСЦИПЛИНЫ (МОДУЛЯ)

В результате освоения дисциплины обучающийся должен

3.1	**Знать:**
3.1.1	- базовые понятия и основные структуры программируемых пользователем логических матриц;
3.1.2	- возможности систем автоматизации проектирования цифровых систем на базе FPGA;
3.1.3	- языки описания аппаратных средств;
3.1.4	- технологию проектирования цифровых систем.
3.2	**Уметь:**
3.2.1	- пользоваться системами автоматизированного проектирования цифровых систем на базе FPGA;
3.2.2	- реализовывать основные этапы проектирования цифровых систем;
3.2.3	- работать с научной, технической и учебной литературой по данному направлению.
3.3	**Владеть:**
3.3.1	- навыками описания цифровых систем на языке описания аппаратных средств;
3.3.2	- методами реализации программируемых логических схем, межсоединений и схем ввода / вывода;
3.3.3	- технологией отладки и тестирования аппаратных модулей на FPGA;
3.3.4	- методами тестирования разработанных цифровых систем.

4. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

Код занятия	Наименование разделов и тем /вид занятия/	Семестр / Курс	Часов	Компетен-ции	Литература	Инте ракт.	Пр. подг.	Примечание
	Раздел 1. Программируемые логические интегральные схемы							
1.1	Классификация цифровых систем. Простые и сложные программируемые логические устройства. Основные характеристики современных программируемых логических схем. /Лек/	4	4	ПК-4	Л1.1 Л1.2 Л1.3Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
1.2	Основные характеристики современных CPLD и FPGA /Ср/	4	4	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
1.3	Практическая работа №1. Знакомство с САПР Quartus II Web Edition. Освоение технологии создания проектов цифровых устройств в САПР Quartus II. /Пр/	4	4	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3		4	

1.4	Проработка лекционного материала. Выполнение практической работы №1. /Ср/	4	12	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
	Раздел 2. Проектирование цифровых систем на основе программируемых пользователем вентильных матриц (FPGA) фирмы Altera в среде Quartus II Web Edition							
2.1	Проектирование цифровых систем на базе FPGA фирмы Altera с использованием пакета Quartus II Web Edition. Структура проекта и методика создания нового проекта в САПР Quartus II Web Edition. Создание описания проектируемого устройства. Ввод временных и топологических ограничений проекта. Синтез проекта /Лек/	4	4	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
2.2	Практическая работа №2. Проектирование и реализация комбинационных схем на FPGA /Пр/	4	6	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3	2	6	совместная работа (в парах)
2.3	Изучение САПР Quartus II Web Editio /Ср/	4	17	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
2.4	Проработка лекционного материала. Выполнение практической работы №2. /Ср/	4	14	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
	Раздел 3. Проектирование цифровых систем с использованием языка Verilog HD							
3.1	Понятие модуля. Базовая структура модуля. Объявление портов ввода-вывода. Объявление внутренних сигналов, параметров или переменных. Тело модуля. Типы данных. Реализация комбинационных схем. Реализация последовательных схем. Реализация конечных автоматов. Проектирование IP-блоков. /Лек/	4	4	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3	2		Разбор реальных ситуаций (case study)
3.2	Практическая работа №3. Проектирование и реализация последовательных цифровых схем на FPGA /Пр/	4	6	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3	2	6	совместная работа (в парах)
3.3	Изучение архитектуры проекта, синтаксиса, типов данных и операций языка Verilog HDL /Ср/	4	14	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
3.4	Проработка лекционного материала. Выполнение практической работы №3. /Ср/	4	16	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			

	Раздел 4. Архитектура программируемых пользователем вентильных матриц							
4.1	Архитектура сложных программируемых логических устройств и вентильных матриц. Конфигурирование FPGA сохранением в ячейках статической памяти (SRAM-based); сохранением во FLASH памяти (FLASH-based); расплавлением перемычек (Anti-fuse based); их достоинства и недостатки. Блоки интеллектуальной собственности (IP- Intellectual Property). /Лек/	4	4	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3	2		Разбор реальных ситуаций (case study)
4.2	Практическая работа 4. Проектирование и реализация АЛУ на FPGA. /Пр/	4	6	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3		6	
4.3	Проектирование блоков интеллектуальной собственности (IP). /Ср/	4	8	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
4.4	Проработка лекционного материала. Выполнение практической работы №4 /Ср/	4	20,9	ПК-4	Л1.3 Л1.1 Л1.2Л2.1 Л2.2 Л2.3 Э1 Э2 Э3			
4.5	Зачет с оценкой /КрТО/	4	0,1	ПК-4				

5. ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

5.1. Контрольные вопросы и задания

Контрольные вопросы для проверки ЗНАТЬ:

1. Основы проектирования цифровых систем.
2. Архитектура FPGA и CPLD.
3. Классификация и внутренняя организация современных FPGA.
4. Методика проектирования цифровых устройств на основе FPGA компании Altera. Языковой и схемотехнический подход к проектированию.
5. Основные элементы и конструкции языка Verilog. Понятие модуля. Базовая структура модуля. Объявление портов ввода-вывода. Объявление внутренних сигналов, параметров или переменных. Тело модуля. Типы данных.
6. Конструкции для реализации комбинационных схем. Конструкции для реализации последовательных схем.
7. Константы и параметры. Проектирование IP-блоков.
8. Примеры реализации архитектуры для комбинационных и последовательных схем (мультиплексор, демультиплексор, D-триггер с асинхронным сбросом).

Контрольные вопросы для проверки УМЕТЬ и ВЛАДЕТЬ:
1. Основные этапы проектирования цифровых систем.
2. Система автоматизированного проектирования цифровых систем Quartus II.
3. Синтез схем с помощью MegaWizard
4. Система временного анализа Quartus II.
5. Язык описания аппаратных средств Verilog HDL: редактирование, основные элементы языка Verilog.
6. Описание цифровых систем на Verilog HDL.
7. Реализация комбинационных схем на FPGA.
8. Реализация последовательных схем на FPGA.
9. Реализация арифметических устройств на FPGA.
10. Реализация конечных автоматов.

5.2. Темы курсовых работ (проектов)

Не предусмотрены

5.3. Фонд оценочных средств

Задания к Практической работе №1. Знакомство с САПР Quartus II Web Edition. Освоение технологии создания проектов цифровых устройств в САПР Quartus II.

1. Изучить процедуру создания проекта.
2. Изучить возможности схемного редактора, особенности его использования.
3. Научиться осуществлять настройку режимов работы компилятора, системы моделирования и временного анализа.
4. Изучить возможности системы временного анализа.
5. Научиться синтезировать схемы с использованием компонента MegaWizard, осуществлять настройку параметров элементов пользователя.
6. Изучить возможности текстового редактора и основные элементы языка Verilog (элементы языка, операторы и директивы, синтаксис программ).

Задания к Практической работе №2. Проектирование и реализация комбинационных схем на FPGA.
1. Реализовать на плате DE0 схему, соответствующую заданному коду на языке Verilog:
 * Создать новый проект Quartus II. В качестве используемого чипа выбрать Cyclone III EP3C16F484C6 (это чип FPGA на плате Altera DE0).
 * Создать модуль на языке Verilog (см. заданный код) и включить его в свой проект.
 * Включить в свой проект необходимые назначения выводов для платы DE0.
 * Скомпилировать проект.
 * Загрузить скомпилированную схему в чип FPGA.
 * Проверить работоспособность схемы, переключая переключатели и наблюдая за светодиодами.
2. Реализовать на плате DE0 схему четырехбитового мультиплексора 2 к 1:
 * Написать модуль на языке Verilog, описывающий четырехбитовый мультиплексор 2 к 1 и сохранить в файл.
 * Создать новый проект Quartus II и включить этот файл в свой проект.
 * Скомпилировать проект и загрузить скомпилированную схему в чип FPGA.
 * Проверить работоспособность схемы, переключая переключатели и наблюдая за светодиодами.
3. Реализовать на плате DE0 схему двухбитового мультиплексора 4 к 1:
 * Создать новый проект Quartus II.
 * Создать модуль на Verilog для мультиплексора 4 к 1.
 * Скомпилировать проект и загрузить скомпилированную схему в чип FPGA.
 * Проверить работоспособность схемы, переключая переключатели и наблюдая за светодиодами. Убедитесь, что каждый из четырех входов правильно выбирается для передачи на выход.
4. Реализовать на плате DE0 схему, отображающую заданные символы на одном семисегментном индикаторе:
 * Создать новый проект Quartus II.
 * Создать модуль на Verilog для дешифратора на два входа и семь выходов.
 * Загрузить скомпилированную схему в чип FPGA.
 * Проверить работу схемы, переключая два переключателя и наблюдая за семисегментным индикатором.
5. Реализовать на плате DE0 схему, отображающую заданные символы на всех четырех семисегментных индикаторах:
 * Создать новый проект Quartus II.
 * Включить в свой проект модуль на языке Verilog, реализующий отображение заданного набора символов на четырех индикаторах и их перемещение в зависимости от изменения двухразрядного кода, задаваемых двумя переключателями.
 * Загрузить скомпилированную схему в чип FPGA.
 * Проверить работу схемы, переключая два переключателя и наблюдая за семисегментным индикатором.
6. Подготовить в электронном виде отчет о проделанной работе.

Задания к Практической работе № 3. Проектирование и реализация последовательных цифровых схем на FPGA.
1. Реализовать на плате Altera DE0 RS-триггер:
 * Создать новый проект Quartus II для RS-триггера.
 * Создать модуль на Verilog, реализующий RS-триггер, и включить его в свой проект.
 * Скомпилировать код. Использовать Quartus II RTL Viewer, чтобы исследовать схему, созданную из кода.
 * Использовать Technology Viewer, чтобы убедиться, что триггер реализован правильно.
 * В QSim создать файл Vector Waveform File (.vwf), который определяет входы и выходы исследуемой схемы.
 * Нарисовать формы сигналов для входов R и S и в QSim получить соответствующие сигналы на выходе триггера.
 * Проверить правильность работы триггера.
2. Реализовать на плате Altera DE0 тактируемый D-триггер:
 * Создать новый проект Quartus II.
 * Создать модуль на Verilog, реализующий D-триггер, и включить его в свой проект.
 * Использовать Technology Viewer для проверки реализованной схемы.
 * Используя функциональное моделирование, убедиться, что D-триггер работает правильно для всех входных условий.
 * Изучить временные характеристики схемы с помощью временного моделирования.
 * Создать новый проект Quartus II для реализации тактируемого D-триггера плате DE0.
 * Использовать переключатель SW0 для управления D-входом триггера, а SW1 - в качестве входа Clk.
 * Подключить выход Q к LEDG0.
 * Перекомпилировать проект и загрузить скомпилированную схему на плату DE0.
 * Проверить работоспособность схемы, переключая переключатели, которые управляют входами D и Clk и наблюдая за выходом Q.
3. Реализовать на плате Altera DE0 схему, отображающую два 8-и разрядных шестнадцатеричных числа на четырех семисегментных индикаторах
 * Создать новый проект Quartus II.
 * Напишите код на языке Verilog, который реализует соответствующую функциональность.

* Включить Verilog-файл в свой проект и скомпилировать схему.
* Включить в свой проект необходимые назначения выводов для платы DE0.
* Перекомпилировать проект и загрузить скомпилированную схему в чип FPGA.
* Проверить работоспособность схемы, переключая переключатели и наблюдая за семисегментными индикаторами.

4. Подготовить в электронном виде отчет о проделанной работе.

Задания к Практической работе №4. Проектирование и реализация АЛУ на FPGA.

1. Реализовать на плате Altera DE0 схему восьмиразрядного аккумулятора (накопителя):
* Создать новый проект Quartus II.
* Написать на языке Verilog код, который описывает схему восьмиразрядного аккумулятора.
* Вход A подключить к восьми переключателям SW7-0, а выход аккумулятора – к светодиодам LED7-0.
* Скомпилировать проект и используя временное моделирование, проверить корректность работы схемы.
* Если схема работает правильно, загрузить ее в плату DE0 и протестировать правильность работы, задавая различные значения чисел на входе A.

2. Реализовать на плате Altera DE0 схему, выполняющую операцию умножения двух чисел. Выполните следующие шаги для реализации схемы умножителя:
* Создать новый проект Quartus II для реализации требуемой схемы на плате Altera DE0.
* Сгенерировать соответствующий Verilog-файл, включить его в свой проект и скомпилировать схему.
* Использовать функциональное моделирование для проверки проекта.
* Расширить свой проект, чтобы использовать переключатели SW11-8 для представления числа A и переключатели SW3-0 для представления числа B. Шестнадцатеричные значения A и B должны отображаться на 7-сегментных индикаторах.
* Включить в свой проект необходимые назначения выводов для платы DE0.
* Перекомпилировать проект и загрузить скомпилированную схему в чип FPGA.
* Проверить работоспособность схемы, переключая переключатели и наблюдая за семисегментными индикаторами.

4. Подготовить в электронном виде отчет о проделанной работе.

5.4. Перечень видов оценочных средств

Практические задания. Виды шкал оценивания представлены в Приложении 1.

6. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

6.1. Рекомендуемая литература

6.1.1. Основная литература

	Авторы, составители	Заглавие	Издательство, год
Л1.1	Cavanagh J.	Verilog HDL design examples	CRC Press 2018
Л1.2	Romano D. Make: FPGAs	FPGAs. Turning Software into Hardware with Eight Fun and Easy DIY Projects Maker	Media 2016
Л1.3	Мартюшев Ю.Ю.	Практика функционального цифрового моделирования в радиотехнике: учебное пособие	Горячая линия –Телеком 2014

6.1.2. Дополнительная литература

	Авторы, составители	Заглавие	Издательство, год
Л2.1	Поляков А. К.	Языки VHDL и VERILOG в проектировании цифровой аппаратуры: Учебное пособие	Москва: СОЛОН-ПРЕСС 2009
Л2.2	Kilts S.	Advanced FPGA design Architecture, Implementation, and Optimization	Wiley&Sons 2007
Л2.3	Максфилд К.	Проектирование на ПЛИС. Курс молодого бойца	М.: Издательский дом “ДодэкаXXI” 2007

6.2. Перечень ресурсов информационно-телекоммуникационной сети "Интернет"

Э1	Quartus II Web Edition Software v9.0 Service Pack 2	https://www.intel.com/content/www/us/en/products/prog
Э2	Материалы для самообучения	http://altera.ru/training-courses-self.html
Э3	Система автоматизации проектирования Quartus II	ftp://ftp.efo.ru/pub/altera/Designing_with_QuartusII.pdf

6.3. Перечень информационных и образовательных технологий

6.3.1 Компетентностно-ориентированные образовательные технологии

6.3.1.1	Изучение дисциплины студентами осуществляется в форме лекций, практических занятий в аудиторных условиях (компьютерные классы) и в процессе самостоятельной работы, контроля знаний.
6.3.1.2	Теоретическая информация представляется в виде компьютерных презентаций с использованием мультимедийных средств.

6.3.1.3	При проведении лекций используются интерактивные формы обучения (технологии типа «кейс-стади», т.е. в процессе лекции делается разбор часто встречающихся практических ситуаций с последующим опросом студентов на следующей лекции и организацией диалога «преподаватель-студент», «студент-студент» с целью выявления степени усвоения материала).
6.3.1.4	Практические занятия проводятся в компьютерных классах, оснащенных персональными компьютерами необходимой конфигурации и с установленным соответствующим программным обеспечением. Для проведения практических занятий используется отладочная плата Altera DE0.
6.3.1.5	Практические занятия проводятся в интерактивной форме, в группах (используются технологии группового выполнения практических работ).
6.3.1.6	Защита практических работ проводится в виде собеседования с преподавателем по теории и программной реализации работы
6.3.2 Перечень информационных справочных систем и программного обеспечения	
6.3.2.1	MS Windows 10;
6.3.2.2	MS Office 2013;
6.3.2.3	Altera Quartus II Web Edition

7. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)	
7.1	Дисциплина должна быть обеспечена необходимым аппаратным (персональные компьютеры, платы DE0 фирмы Altera) и программным обеспечением (операционная система ОС Windows и пакет прикладных программ MS Office, Quartus II Web Edition). Для проведения лекционных занятий используется мультимедийное оборудование (проектор, экран, интерактивная доска).

8. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ОБУЧАЮЩИХСЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ (МОДУЛЯ)

1. Технологическая карта дисциплины представлена в Приложении 2.
2. Текущий контроль осуществляется в течение семестра (оцениваются посещаемость и активность на занятиях).
3. Рубежный контроль осуществляется в течение семестра в виде защиты практических работ.
4. Промежуточный контроль проводится письменно. Письменное задание состоит из тестовых и открытых вопросов, а также включает вопросы практической направленности.
5. Все материалы по дисциплине (лекции, методические указания по выполнению практических работ, домашние задания, литература и др.) выкладываются в Google Classroom.
6. После выполнения каждой практической работы студент должен предоставить электронный отчет о ее выполнении.